

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-325979

(43)Date of publication of application : 16.12.1997

(51)Int.Cl.

G06F 17/50
H01L 21/82

(21)Application number : 08-142781

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.06.1996

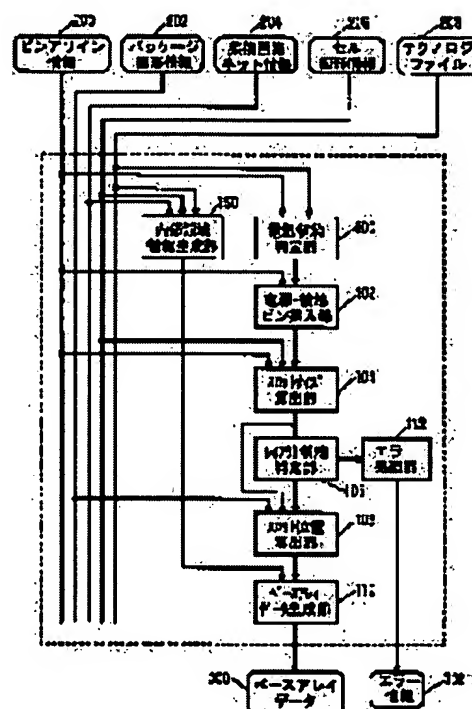
(72)Inventor : YAMAOKA HIROYASU

(54) DEVICE AND METHOD FOR GENERATING BASE ARRAY DATA

(57)Abstract:

PROBLEM TO BE SOLVED: To generate base array data, which satisfy electric limit conditions as well, in a short time.

SOLUTION: While using pin assign information 200, etc., an electric limit discriminating part 100 discriminates whether the allocation of external signal to respective pins satisfies the electric limit conditions or not and when these conditions are not satisfied, a power supply pin/ground pin inserting part 102 cancels the violation of electric limit by inserting a power supply pin or a ground pin. Next, based on the size of respective buffer slots (corresponding to buffers to be used) calculated by a slot size calculation part 104, a layout limit discriminating part 106 discriminates whether the respective buffer slots can be arranged while satisfying the limit conditions of layout or not. When these limit conditions are satisfied, based on the calculated size of respective buffer slots, a slot position calculating part 108 calculates the positions of respective buffer slots. While using the information of these positions, a base array data generating part 110 generates the base array data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-325979

(43) 公開日 平成9年(1997)12月16日

(51) IntCl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/50			G 0 6 F 15/60	6 5 8 Z
H 0 1 L 21/82			H 0 1 L 21/82	B
				C

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平8-142781

(22) 出願日 平成8年(1996)6月5日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 山岡 裕泰

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

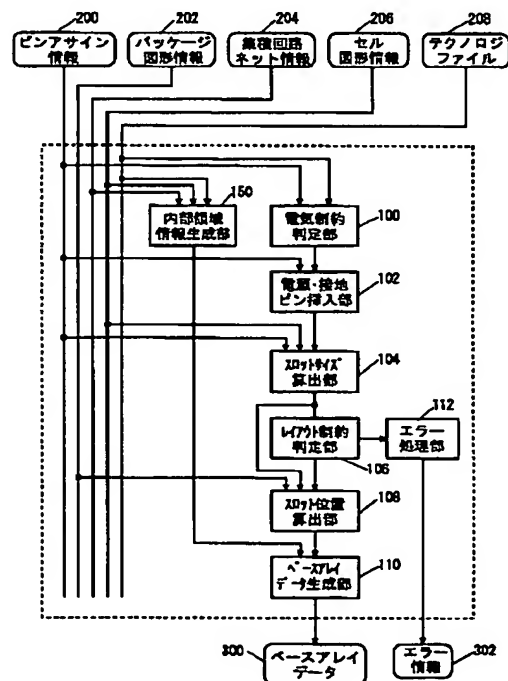
(74) 代理人 弁理士 宮田 金雄 (外3名)

(54) 【発明の名称】 ベースアレイデータ生成装置および方法

(57) 【要約】

【課題】 電気制約条件をも満たすベースアレイデータを短時間で生成する。

【解決手段】 電気制約判定部100が、ピンアサイン情報200等を用いて、各ピンへの外部信号の割付が電気制約条件を満たすか否かを判定し、満たさない場合には、電源ピン・接地ピン挿入部102が電源ピンまたは接地ピンの挿入により電気制約違反を解消する。次に、スロットサイズ算出部104によって算出された各バッファスロット（使用されるバッファに対応するもの）のサイズに基づき、レイアウト制約判定部106が、各バッファスロットをレイアウト上の制約条件を満たしつつ配置できるか否かを判定する。この制約条件を満たす場合には、スロット位置算出部108が、算出された各バッファスロットのサイズに基づき各バッファスロットの位置を算出する。この位置の情報を用いてベースアレイデータ生成部110がベースアレイデータを生成する。



【特許請求の範囲】

【請求項 1】 半導体集積回路における内部回路で用いられるトランジスタが配置される内部領域と入力若しくは出力バッファセルまたは電源若しくはグラウンド・セルが 1 個配置可能なバッファスロットを該内部領域の周囲に複数並べたバッファ領域とから成るベースアレイの構成を記述したベースアレイデータを、前記集積回路を収納するパッケージの形状および大きさに合わせて生成するベースアレイデータ生成装置において、

前記集積回路の外部から入力または外部へ出力される信号である外部信号の前記パッケージのピンへの割付を示すピン割付情報、前記集積回路内の接続関係を示すネット情報、および前記集積回路の入力若しくは出力バッファとして使用可能な各種のバッファセルの電気的特性値および図形情報を集めたライブラリデータを記憶している記憶手段と、

前記電気的特性値および前記ピン割付情報を用いて、外部信号のピンへの割付が予め設定された電気制約条件を満足するか否かを判定する第 1 判定手段と、

前記ピン割付情報および前記図形情報を用いて、前記集積回路で使用される各バッファが配置される各バッファスロットのサイズを算出するサイズ算出手段と、

前記各バッファスロットのサイズに基づき、各バッファセルを前記バッファ領域に配置する際のレイアウト上の制約条件を満足するか否かを判定する第 2 判定手段と、

前記バッファ領域を前記電気制約条件および前記レイアウト上の制約条件が満足される構成とするために第 1 および第 2 判定手段による判定結果を用い、前記各バッファスロットのサイズに基づき、前記集積回路で使用される各バッファが配置される各バッファスロットの位置を算出する位置算出手段と、

サイズ算出手段および位置算出手段によって算出された各バッファスロットのサイズおよび位置に基づいて前記ベースアレイデータを生成するデータ生成手段と、を備えることを特徴とするベースアレイデータ生成装置。

【請求項 2】 請求項 1 に記載のベースアレイデータ生成装置において、

前記第 1 判定手段によって前記電気制約条件を満足しないと判定された場合に、外部信号用のピンの間に電源供給用または接地電位供給用のピンを挿入することによって前記電気制約条件を満足させるために電源供給用または接地電位供給用のピンの挿入位置を決定する挿入位置決定手段を備え、

前記位置算出手段は、前記第 1 判定手段によって前記電気制約条件を満足しないと判定された場合に、前記挿入位置に基づき挿入すべき電源供給用または接地電位供給用のピンに対応する電源またはグラウンド・セルが配置されるバッファスロットを含めて前記各バッファスロットの位置を算出する、ことを特徴とするベースアレイデータ生成装置。

【請求項 3】 請求項 1 または請求項 2 に記載のベースアレイデータ生成装置において、

前記位置算出手段は、所定の入力信号が供給される入力バッファ用のバッファスロットの位置を、出力バッファ用のバッファスロットから予め指定された距離以上離れた位置とする、ことを特徴とするベースアレイデータ生成装置。

【請求項 4】 半導体集積回路における内部回路で用いられるトランジスタが配置される内部領域と入力若しくは出力バッファセルまたは電源若しくはグラウンド・セルが 1 個配置可能なバッファスロットを該内部領域の周囲に複数並べたバッファ領域とから成るベースアレイの構成を記述したベースアレイデータを、前記集積回路を収納するパッケージの形状および大きさに合わせて生成するベースアレイデータ生成方法において、

前記集積回路の外部から入力または外部へ出力される信号である外部信号の前記パッケージのピンへの割付を示すピン割付情報、前記集積回路内の接続関係を示すネット情報、および前記集積回路の入力若しくは出力バッファとして使用可能な各種のバッファセルの電気的特性値および図形情報を集めたライブラリデータを獲得する第 1 ステップと、

前記電気的特性値および前記ピン割付情報を用いて、外部信号のピンへの割付が予め設定された電気制約条件を満足するか否かを判定する第 2 ステップと、

前記ピン割付情報および前記図形情報を用いて、前記集積回路で使用される各バッファが配置される各バッファスロットのサイズを算出する第 3 ステップと、

前記各バッファスロットのサイズに基づき、各バッファセルを前記バッファ領域に配置する際のレイアウト上の制約条件を満足するか否かを判定する第 4 ステップと、

前記バッファ領域を前記電気制約条件および前記レイアウト上の制約条件が満足される構成とするために第 2 および第 4 ステップによる判定結果を用い、前記各バッファスロットのサイズに基づき、前記集積回路で使用される各バッファが配置される各バッファスロットの位置を算出する第 5 ステップと、

第 3 および第 5 ステップによって算出された各バッファスロットのサイズおよび位置に基づいて前記ベースアレイデータを生成する第 6 ステップと、を備えることを特徴とするベースアレイデータ生成方法。

【請求項 5】 請求項 4 に記載のベースアレイデータ生成方法であって、

前記第 2 ステップによって前記電気制約条件を満足しないと判定された場合に、外部信号用のピンの間に電源供給用または接地電位供給用のピンを挿入することによって前記電気制約条件を満足させるために電源供給用または接地電位供給用のピンの挿入位置を決定する第 7 ステップを備え、

前記第 5 ステップにおいて、前記第 2 ステップによって

前記電気制約条件を満足しないと判定された場合に、前記挿入位置に基づき挿入すべき電源供給用または接地電位供給用のピンに対応する電源またはグランド・セルが配置されるバッファスロットを含めて前記各バッファスロットの位置を算出する、ことを特徴とするベースアレイデータ生成方法。

【請求項6】 請求項4または請求項5に記載のベースアレイデータ生成方法であって、
前記第5ステップにおいて、所定の入力信号が供給される入力バッファ用のバッファスロットの位置を、出力バッファ用のバッファスロットから予め指定された距離以上離れた位置とする、ことを特徴とするベースアレイデータ生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路におけるベースアレイ設計に関し、更に詳しくは、ベースアレイの構成を記述するデータを自動的に生成するベースアレイデータ生成装置および方法に関する。

【0002】

【従来の技術】半導体集積回路の設計において、その集積回路の基盤になるものとして、Pチャネル型およびNチャネル型のMOSトランジスタを一方に配置して成るベースアレイが、実現しようとする集積回路の規模に応じて生成される。そして、生成されたベースアレイに対して、所定数の配線層による配線パターンと、異なる配線層の配線間または配線とトランジスタ間を接続する素子であるビアとが配置されることにより、所望の動作を行う集積回路が実現される。

【0003】図4は、半導体集積回路の基盤となるベースアレイの構成を示す平面図である。このベースアレイは、CMOSの内部回路が配置される内部領域13と、入力若しくは出力バッファ（以下、両バッファを合わせて「入出力バッファ」と総称する）のセルが配置されるバッファ領域11とから構成される。バッファ領域11は、各種の入出力バッファのセルが1個配置可能なバッファスロットが並んだ構成となっており、半導体チップ15の外部から内部領域13の内部回路へ入力される信号および内部回路から外部へ出力される信号（以下、両信号を合わせて「外部信号」と総称する）は、バッファ領域11に配置されるいずれかの入出力バッファを通過する。なお、上記ベースアレイが形成される半導体チップ15における、バッファ領域の外側には各バッファスロットに対応するパッド14が配置されており、半導体チップ15を収納するパッケージのピン12は、ワイヤボンディング等によってパッド14と電気的に接続される。

【0004】上記のようなベースアレイの構成を示すデータ（ベースアレイデータ）を生成する際には、従来、図5のフローチャートに示すような手法が用いられてい

た。すなわち、まず設計者が、半導体チップの内部回路の規模と顧客によって決定されたパッケージおよびピンアサインとを考慮して、ベースアレイデータ生成装置により初期データとしてのベースアレイデータを生成する（ステップS50）。ここでピンアサインとは、半導体チップ（集積回路）の外部信号をパッケージのピン（以下「デバイスピン」または単に「ピン」という）に割り当てるとともに集積回路へ電源および接地電位を供給するためのピンを決定する作業をいう。ベースアレイデータが生成されると、次に、半導体チップの制約条件を満足するかどうかを判定し（ステップS52）、満足しない場合には外部信号のピンへの再割付を行う（ステップS54）。この後、その再割付に基づいてベースアレイデータを再度生成し（ステップS56）、再度生成されたベースアレイデータについて、再び、半導体チップの制約条件が満足されるかどうかを判定する（ステップS52）。以降、半導体チップの制約条件が満足されるまで、ステップS52→S54→S56→S52というループを繰り返し実行し、ステップS52において半導体チップの制約条件を満足すると判定されると、ベースアレイデータの生成を終了する。

【0005】上記のようにしてベースアレイデータを生成する前に顧客によってピンアサインが行われるが、このピンアサインにおいて顧客は、主として集積回路を搭載するボード設計の諸条件（主にボード上の信号位置）を考慮する。しかし、設計者はそのようなボード設計の条件のみならず、半導体チップの制約条件も同時に満足するように考慮してピンアサインを行わなければならない。ここで考慮すべき半導体チップの制約条件には、入出力バッファの配置に関するレイアウト制約条件と、半導体チップの信頼性や誤動作に関する電気制約条件とがある。

【0006】レイアウト制約条件としては、各入出力バッファセルは相互に重なり合うことなくバッファスロット上に配置されなくてはならないという条件がある。図6は、ベースアレイ内の複数のバッファスロット32のうちの一つのバッファスロットへのバッファセル31の配置を示す模式図である。この図に示すように、通常、ベースアレイ上の一つのバッファスロットには入出力バッファが一つ配置されるが、その大きさは一定ではない。図5に示した従来のベースアレイデータ生成手法では、入出力バッファを配置するバッファスロットの種類と位置は人手（設計者）によって決定され、ベースアレイデータが生成された後に、入出力バッファが配置できるかどうかを判定していた（ステップS52）。

【0007】次に電気制約条件について説明する。半導体チップ内の電源ラインおよび接地ラインには、複数の出力信号の同時変化によりノイズが発生し、このノイズによって半導体チップが誤動作することがある。すなわち、出力バッファの出力電位が変化するとき、出力ピン

の負荷容量を充放電するための電流や、CMOS構成の出力バッファにおけるPチャネル型およびNチャネル型トランジスタを貫通する電流等の過度電流により、電源ラインおよび接地ラインにノイズが発生する。複数の出力信号が同時に変化してこのノイズが大きくなると、入力バッファのしきい値電圧と入力信号電圧との大小関係が反転して半導体チップ内の回路が誤動作する可能性がある。したがって、このようなノイズによる誤動作が生じないようにピンアサインを行う必要があり、CMOS GA/ECA（CMOSのゲートアレイまたはエンベ

【0008】また、半導体チップ内の回路に電源を供給するための電源バッファに関しては、信頼性の観点から電源バッファ1個あたりに流れる電流値に制限が課せられている。電源バッファに流れる電流量は、その電源バッファが電流を供給する出力バッファの種類と個数に依存し、また、半導体チップ内の電源ラインの電気抵抗のため、出力バッファと電源バッファとの位置関係にも依存する。したがって、ピンアサインにおいては、電源バッファの電流量のこのような依存性を考慮して、その電流量が所定の制限を越えないように配慮する必要もある。

【0009】図5に示した従来のベースアレイデータ生成手法では、上述の電気制約条件を満足するかどうかについても、ベースアレイデータが生成された後に判定しており（ステップS52）、この電気制約条件を満足しない場合には、外部信号のピンへの再割付を手で行っていた（ステップS54）。

【0010】

【発明が解決しようとする課題】以上のように従来のベースアレイデータ生成手法では、ベースアレイデータを生成した後に、半導体チップの制約条件（レイアウト制約条件および電気制約条件）を満足するかどうかを判定していた。そして、この制約条件を満足しない場合には、外部信号のピンへの再割付を手で行った後（図5のステップS54）、その再割付に基づきベースアレイデータを再度生成していた（ステップS56）。このため、従来のベースアレイデータの生成作業は煩雑であって長時間を要し、また人為的ミスも生じやすかった。

【0011】そこで本発明では、上記制約条件を満足するベースアレイデータを短時間で誤りなく生成することができるベースアレイデータ生成装置および方法を提供することを目的とする。

【0012】

【課題を解決するための手段】上記課題を解決するために成された本発明に係る第1のベースアレイデータ生成装置では、半導体集積回路における内部回路で使用されるトランジスタが配置される内部領域と入力若しくは出力バッファセルまたは電源若しくはグランド・セルが1個配置可能なバッファスロットを該内部領域の周囲に複数並べたバッファ領域とから成るベースアレイの構成を記述したベースアレイデータを、前記集積回路を収納するパッケージの形状および大きさに合わせて生成するベースアレイデータ生成装置において、前記集積回路の外部から入力または外部へ出力される信号である外部信号の前記パッケージのピンへの割付を示すピン割付情報、前記集積回路内の接続関係を示すネット情報、および前記集積回路の入力若しくは出力バッファとして使用可能な各種のバッファセルの電気的特性値および図形情報を集めたライブラリデータを記憶している記憶手段と、前記電気的特性値および前記ピン割付情報を用いて、外部信号のピンへの割付が予め設定された電気制約条件を満足するかどうかを判定する第1判定手段と、前記ピン割付情報および前記図形情報を用いて、前記集積回路で使用される各バッファが配置される各バッファスロットのサイズを算出するサイズ算出手段と、前記各バッファスロットのサイズに基づき、各バッファセルを前記バッファ領域に配置する際のレイアウト上の制約条件を満足するかどうかを判定する第2判定手段と、前記バッファ領域を前記電気制約条件および前記レイアウト上の制約条件が満足される構成とするために第1および第2判定手段による判定結果を用いつつ、前記各バッファスロットのサイズに基づき、前記集積回路で使用される各バッファが配置される各バッファスロットの位置を算出する位置算出手段と、サイズ算出手段および位置算出手段によって算出された各バッファスロットのサイズおよび位置に基づいて前記ベースアレイデータを生成するデータ生成手段と、を備えた構成としている。

【0013】本発明に係る第2のベースアレイデータ生成装置では、上記第1のベースアレイデータ生成装置において、前記第1判定手段によって前記電気制約条件を満足しないと判定された場合に、外部信号用のピンの間に電源供給用または接地電位供給用のピンを挿入することによって前記電気制約条件を満足させるために電源供給用または接地電位供給用のピンの挿入位置を決定する挿入位置決定手段を備え、前記位置算出手段は、前記第1判定手段によって前記電気制約条件を満足しないと判定された場合に、前記挿入位置に基づき挿入すべき電源供給用または接地電位供給用のピンに対応する電源またはグランド・セルが配置されるバッファスロットを含めて前記各バッファスロットの位置を算出する、ことを特徴としている。

【0014】なお、上記第1または第2のベースアレイデータ生成装置において、前記位置算出手段は、所定の

入力信号が供給される入力バッファ用のバッファスロットの位置を、出力バッファ用のバッファスロットから予め指定された距離以上離れた位置とするのが好ましい。

【0015】上記課題を解決するために成された本発明に係る第1のベースアレイデータ生成方法は、上記第1のベースアレイデータ生成装置における記憶手段に記憶された各情報またはデータを獲得する第1ステップと、上記第1判定手段、上記サイズ算出手段、上記第2判定手段、上記位置算出手段、および上記データ生成手段によって実行される各処理を行う第2～第6ステップとを備えた構成としている。

【0016】本発明に係る第2のベースアレイデータ生成方法は、上記第2のベースアレイデータ生成装置における挿入位置決定手段および位置算出手段によって実行される処理を行う第7ステップおよび第5ステップを備えることを特徴としている。

【0017】なお、上記第1または第2のベースアレイデータ生成方法では、第5ステップにおいて、所定の入力信号が供給される入力バッファ用のバッファスロットの位置を、出力バッファ用のバッファスロットから予め指定された距離以上離れた位置とするのが好ましい。

【0018】

【発明の実施の形態】

<実施形態の全体構成>図3は、本発明の一実施形態であるベースアレイデータ生成装置のハードウェア構成を示すブロック図である。本ベースアレイデータ生成装置のハードウェアは、エンジニアリング・ワークステーションなどのコンピュータであって、CPU56とメモリ58などから成るコンピュータ本体50と、ハードディスク装置52と、キーボード54と、マウス55と、ディスプレイ装置60とから構成されている。

【0019】本実施形態では、上記コンピュータ内のメモリ58に格納される所定のプログラムに基づいてCPU56が動作することにより、半導体チップの基盤となるベースアレイの構成を示すデータ（ベースアレイデータ）を生成するベースアレイデータ生成装置として機能する。図1は、このようにして実現される本実施形態のベースアレイデータ生成装置の構成を概念的に示す機能ブロック図である。この図に示すように、本ベースアレイデータ生成装置は、概念的には、電気制約判定部100、電源・接地ピン挿入部102、スロットサイズ算出部104、レイアウト制約判定部106、スロット位置算出部108、ベースアレイデータ生成部110、エラー処理部112、および内部領域情報生成部150から構成されており、各ピンへの外部信号の割付（顧客が指定した割付）を示すピンアサイン情報200、顧客が決定したパッケージの図形情報202、集積回路のネット情報204、内部回路を構成する基本セルおよび入出力バッファに用いられる入出力バッファセルの図形情報206、および、入出力バッファセルの電気的特性値が記述

されたテクノロジファイル208の各データを入力して、ベースアレイデータ300を生成する。なお本実施形態では、入力される各データは、予めハードディスク装置52に格納されており、生成されるベースアレイデータもハードディスク装置に格納される。

【0020】<実施形態の動作>図2は、本実施形態のベースアレイデータ生成装置の動作を示すフローチャートである。以下、このフローチャートおよび図1の機能ブロック図を参照しつつ、本実施形態におけるベースアレイデータの生成手順を説明する。

【0021】まずステップS10において、内部領域情報生成部150が、集積回路ネット情報204およびセル図形情報206を用いて内部領域13（図4参照）の構成を示す情報を生成する。

【0022】次にステップS12において、電気制約判定部100が、入出力バッファの並びが電気制約条件を満足するか否かを判定する。すなわち、ピンアサイン情報200およびテクノロジファイル208を用いて、各ピンに接続されるべき入出力バッファの電気的特性値を求め、これを用いて、ピンアサインに対応する入出力バッファの並びが電気制約条件を満足するか否かを判定する。ここで電気制約条件とは、既述のように、半導体集積回路の信頼性を確保し誤動作を防止するための電気的な制約条件であって、電源ピンや接地ピン1本当たりの同時変化の出力バッファの数が所定数以下であるという条件や、電源バッファ1個当たりに流れる電流値が規格値以下であるという条件等をいう。ステップS12における判定の結果、電気制約条件を満足すればステップS16へ進み、満足しなければステップS14へ進む。

【0023】ステップS14では、電源・接地ピン挿入部102が、電気制約条件を満足させるために必要な電源ピンや接地ピンの挿入位置を決定する。すなわち、電源ピンや接地ピン1本当たりの同時変化の出力バッファの数が所定数を越えている場合や、電源バッファ1個当たりに流れる電流値が規格値を越えている場合は、電源ピンや接地ピンの挿入によりこの状態を回避することができるため、この回避に必要な電源ピンや接地ピンの挿入位置を決定し、それに応じてピンアサイン情報200を修正する。

【0024】ステップS16では、入出力バッファスロットがレイアウト制約条件を満足するか否かを判定する。すなわち、まず、スロットサイズ算出部104が、ピンアサイン情報200およびセル図形情報206を用いて、半導体集積回路（チップ）で使用される各バッファが配置される各バッファスロットのサイズを算出する。次に、レイアウト制約判定部106が、算出された各バッファスロットのサイズおよび半導体集積回路のチップサイズに基づき、各バッファが配置されるバッファスロットをバッファ領域にレイアウト上の制約条件を満足しつつ配置可能か否かを判定する。この結果、配置不

可能であれば、すなわちレイアウト制約条件を満足しなければ、電気制約条件を満足するようなバッファ領域を構成できないことになる。この場合、エラー処理部 112 がディスプレイ装置 60 にエラー情報 302 を出力して、ベースレイデータの生成処理を終了する。一方、配置可能なレイアウト制約条件を満足する場合にはステップ S18 へ進む。

【0025】ステップ S18 では、スロット位置算出部 108 が、スロットサイズ算出部 104 によって算出された各バッファスロットのサイズに基づいて、半導体集積回路で使用される各バッファが配置される各バッファスロットの位置を算出する。このとき、各バッファスロットが隣接のバッファスロットや内部回路の規模によって見積もられた内部領域と重ならないように、各バッファスロットの位置が算出される。さらに望ましくは、設計者の指定により、パッケージピンからパッドを経て入出力バッファへ至る配線の長さが最小となるように、またベースレイの面積が最小となるように、各バッファスロットの位置が算出できるとよい。

【0026】ところで、ステップ S14 において電源ピンまたは接地ピンが挿入された場合には、挿入された電源ピンまたは接地ピンに接続される電源セルまたはグラウンド・セルの配置されるバッファスロットも含めて、各バッファスロットの位置が算出される。これにより、次のステップ S20 で生成されるベースレイデータによって示されるベースレイの構成において、挿入された電源ピンまたは接地ピンに対応するバッファスロットが、入出力バッファが配置されるバッファスロットの間に挿入されることになる。

【0027】なお、このステップ S18 において各バッファスロットの位置を決定する際、出力バッファの同時変化によるノイズで誤動作しやすいクロック信号やセット・リセット信号に用いられる入力バッファを、設計者によって指定された距離以上、出力バッファから離すようにするのが好ましい。

【0028】次のステップ S20 では、ベースレイデータ生成部 110 が、スロットサイズ算出部 104 によって算出された各バッファスロットのサイズとスロット位置算出部 108 によって算出された各バッファスロットの位置とに基づいてバッファ領域の構成を決定し、これと、内部領域情報生成部 150 で得られた情報によって示される内部領域の構成とに基づき、ベースレイデータ 300 を生成する。以上によりベースレイデータの生成処理が終了する。

【0029】＜実施形態の効果＞本実施形態によれば、ベースレイデータを生成する際に、顧客によって指定された外部信号のピンへの割付を示すピンアサイン情報等から、レイアウト制約条件を満足するように、入出力バッファ等が配置される各バッファスロットの位置が決定され、また、電気制約違反があった場合には自動的に

電源ピンや接地ピンの挿入が行われて電気制約違反が解消される。このため、レイアウト制約条件や電気制約条件が満足されるか否かを人手で確認し、これらの制約条件が満足されない場合には人手でピンアサインをやり直していた従来の手法とは異なり、人為的ミスを解消できるとともに、ベースレイデータの生成に要する時間を大幅に短縮することができる。

【0030】

【発明の効果】本発明に係る第 1 および第 2 のベースレイデータ生成装置または方法によれば、外部信号のピンへの割付を示すピン割付情報等から、レイアウト制約条件とともに電気制約条件が満足されるように各バッファスロットの位置が算出され、その位置に基づいてベースレイデータが生成される。このため、電気制約違反の場合に人手でピン割付をやり直してレイアウトデータを再度生成するという作業が不要となり、その結果、人為的ミスを解消されたとともにベースレイデータの生成に要する時間が大幅に短縮される。なお、本発明に係る第 2 のベースレイデータ生成装置または方法によれば、外部信号のピンへの割付が電気制約条件を満足しない場合には、自動的に電源供給用または接地電位供給用のピンの挿入が行われて電気制約違反が解消される。

【0031】また、上記ベースレイデータ生成装置または方法において、各バッファスロットの位置を算出する際に、クロック信号やセット・リセット信号のように出力バッファの同時変化によるノイズで誤動作しやすい所定の入力信号が供給される入力バッファ用のバッファスロットの位置を、出力バッファ用のバッファスロットから予め指定された距離以上離れた位置とすることにより、通常の電気制約条件による誤動作の防止よりも更に効果的に誤動作を防止することができる。

【図面の簡単な説明】

【図 1】 本発明の一実施形態であるベースレイデータ生成装置の構成を示す機能ブロック図。

【図 2】 本発明の一実施形態であるベースレイデータ生成装置の動作を示すフローチャート。

【図 3】 本発明の一実施形態であるベースレイデータ生成装置のハードウェア構成を示すブロック図。

【図 4】 ベースレイの構成を示す平面図。

【図 5】 従来のベースレイデータ生成手法を示すフローチャート。

【図 6】 バッファセルのバッファスロットへの配置を示す模式図。

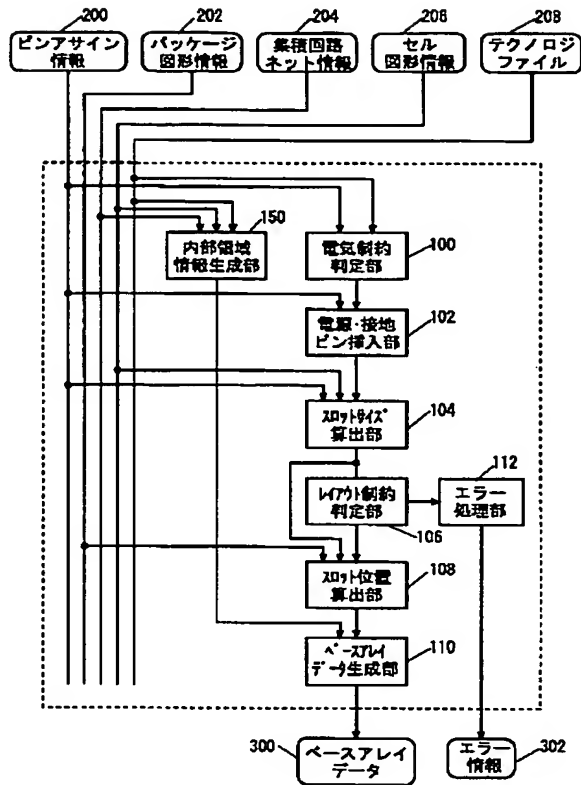
【符号の説明】

11 バッファ領域、13 内部領域、31 バッファセル、32 バッファスロット、100 電気制約判定部、102 電源・接地ピン挿入部、104 スロットサイズ算出部、106 レイアウト制約判定部、108 スロット位置算出部、110 ベースレイデータ生成部、200 ピンアサイン情報、204 集積回路ネッ

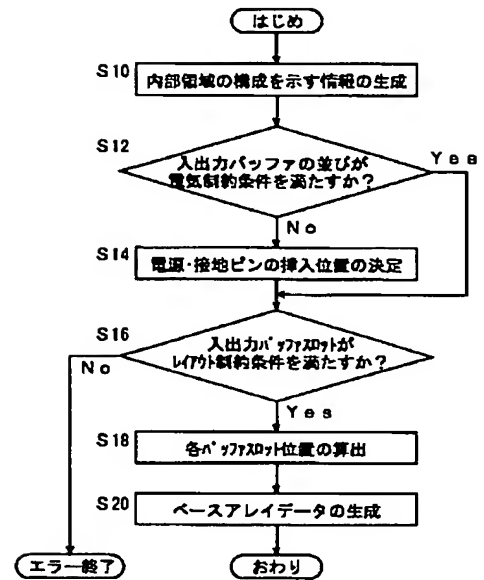
ト情報、206 セル図形情報、208 テクノロジ

ファイル

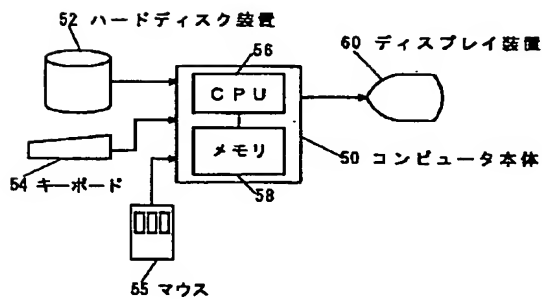
【図1】



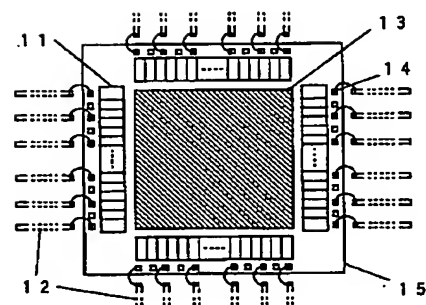
【図2】



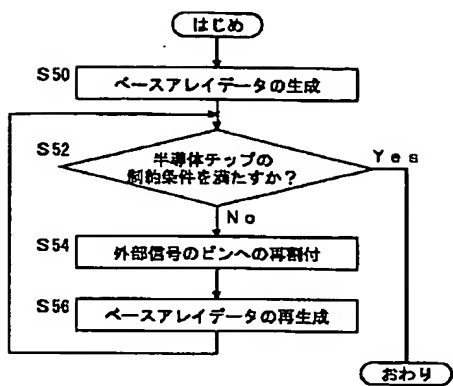
【図3】



【図4】



【図 5】



【図 6】

